**Дата:** 17-02-24

**Предмет:** Архитектура компьютера

**Тема:** Триггеры

**Основные вопросы:** Проработать материал

Раздел 3.1 стр 119 Бабичев «Компьютерная схемотехника»

# Лекционные материалы:

#  1. Регистры на основе d-триггеров. Параллельные регистры, последовательные (сдвиговые) регистры. Временная диаграмма работы сдвигового регистра.

На базе динамических D-триггеров мы можем собрать регистры.

Сборка из двух статических триггеров, при этом их синхровходы объединены с помощью инвертора. Выход первого триггера подсоединен ко входу второго. В триггерах с динамическим входом С информация записывается только в течение перепада напряжения на входе С.

Единичный D-триггер – это простейшая ячейка памяти (способна хранить 1 бит информации). Толку от нее мало (слишком мало места), но если объединить динамические D-триггеры в сборки (на рисунке 1 по 4 штуки – уже получается 4-битный регистр, если 8 триггеров – 8-битный (1 байт – базовая ячейка памяти)).



Рисунок 1 – Регистры на основе D-триггеров (слева параллельный, справа – последовательный)

Триггеры объединены ***параллельно,*** их тактовые входы также соединены, запись информации ведется просто – на все входы подаем информацию, тактовый импульс записывает новую порцию информации, и она появляется на выходах. И до появления нового синхроимпульса и новой порции данных, эта информация будет сохраняться в регистре.

Количество триггеров, входящее в состав параллельного регистра определяет его разрядность. При записи информации в параллельный регистр все биты (двоичные разряды) должны быть записаны одновременно. Поэтому все тактовые входы триггеров, входящих в состав регистра, объединяются параллельно. Для уменьшения входного тока вывода синхронизации C на этом входе в качестве усилителя часто ставится инвертор.

При ***последовательном*** подключении (регистр сдвига) данные подаются только на первый динамический триггер (на рисунке D0), а дальше идут выходы последовательно соединенные со входами. Используются для преобразования последовательных данных в параллельный формат (например, подаем 4 бита, и они в итоге появляются на каждом выходе). Сдвиговые регистры используются во многих схемотехнических решениях при построении цифровых устройств, прежде всего для преобразования последовательного кода в параллельный, а также для выполнения арифметических операций (умножения и деления на 2) с двоичными числами, организации линий задержки, формирования импульсов заданной длительности, генерирования псевдослучайных последовательностей (кодов) и т.п.

Входы синхронизации в последовательных (сдвиговых) регистрах, как и в параллельных регистрах, объединяются. Это обеспечивает одновременность смены состояния всех триггеров, входящих в состав последовательного (сдвигового) регистра.

**Временная диаграмма работы сдвигового регистра**

В первый момент времени – в первый триггер записывает бит и с каждым тактовым сигналом он сдвигается, пока все данные не окажутся на выходе. То есть после четырех синхроимпульсов, изначальные данные (вверху на картинке 1011) имеем на параллельном выходе.



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| № **такта** | **1** | **2** | **3** | **1** |
| Q0 | 1 | 0 | 1 | 1 |
| Q1 | X | 1 | 0 | 1 |
| Q2 | X | X | 1 | 0 |
| Q3 | X | X | X | 1 |

Более подробное описание работы этого триггера

Рассмотрим работу этого регистра. Можно предположить, что в начале все триггеры регистра находятся в состоянии логического нуля, т.е. Q0=0, Q1=0, Q2=0, Q3=0. Если на входе D-триггера Т1 имеет место логический 0, то поступление синхроимпульсов на входы «С» триггеров не меняет их состояния.

Синхроимпульсы поступают на соответствующие входы всех триггеров регистра одновременно и записывают в них то, что имеет место на их информационных входах. На информационных входах триггеров Т2, Т3, Т4 – уровни логического «0», т.к. информационные входы последующих триггеров соединены с выходами предыдущих триггеров, находящихся в состоянии логического «0», а на вход «D» первого триггера, по условию примера, подается «0» из внешнего источника информации. При подаче на вход «D» первого триггера «1», с приходом первого синхроимпульса, в этот триггер запишется «1», а в остальные триггеры – «0», т.к. к моменту поступления фронта синхроимпульса на выходе триггера Т1 ещё присутствовал логический «0». Таким образом, в триггер Т1 записывается та информация (тот бит), которая была на его входе «D в момент поступления фронта синхроимпульса и т.д.

При поступлении второго синхроимпульса логическая «1» с выхода первого триггера, запишется во второй триггер, и в результате происходит сдвиг первоначально записанной «1» с триггера Т1 в триггер Т2, из триггера Т2 в триггер Т3 и т.д. Таким образом, производится последовательный сдвиг поступающей на вход регистра информации (в последовательном коде) на один разряд вправо в каждом такте синхроимпульсов.

После поступления четырёх синхроимпульсов регистр оказывается полностью заполненным разрядами числа, вводимого через последовательный ввод «D». В течение следующих четырёх синхроимпульсов производится последовательный поразрядный вывод из регистра записанного числа, после чего регистр оказывается полностью очищенным (регистр окажется полностью очищенным только при условии подачи на его вход уровня «0» в режиме вывода записанного числа).